

09/806136

500P0886W000

PCT/JP00/05055

28.07.00

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

REC'D	11 AUG 2000
WIPO	PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 7月28日

出願番号

Application Number:

平成11年特許願第214089号

出願人

Applicant(s):

ソニー株式会社

JP00/05055

4

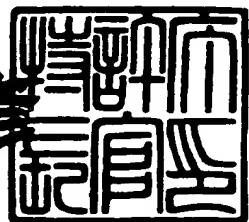
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 5月26日

特許庁長官
Commissioner,
Patent Office

近藤 隆



出証番号 出証特2000-3038467

【書類名】 特許願

【整理番号】 9900613103

【提出日】 平成11年 7月28日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 G11B 25/04

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 中西 健一

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 荒木 茂生

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100082762

【弁理士】

【氏名又は名称】 杉浦 正知

【電話番号】 03-3980-0339

【手数料の表示】

【予納台帳番号】 043812

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708843

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理システム、データ処理装置およびメモリ装置

【特許請求の範囲】

【請求項1】 複数のセクタによって1クラスタが構成され、複数のクラスタによって1セグメントが構成されるストレージを複数備える不揮発性のメモリ装置がデータ処理装置に対して着脱自在とされたデータ処理システムにおいて、上記データ処理装置は、

データを記録するセクタのアドレスを指定するアドレス指定手段を備え、

上記メモリ装置は、

上記アドレス指定手段により指定されたアドレスに対してデータの記録を行う記録手段を備え、

1セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されることを特徴とするデータ処理システム。

【請求項2】 複数のセクタによって1クラスタが構成され、複数のクラスタによって1セグメントが構成されるストレージを複数備える不揮発性のメモリ装置を記録媒体として使用するデータ処理装置において、

メモリ装置に対して、1セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されるように、上記データを書き込むことを特徴とするデータ処理装置。

【請求項3】 データ処理装置に対して着脱自在で、複数のセクタによって1クラスタが構成され、複数のクラスタによって1セグメントが構成されるストレージを複数備える不揮発性のメモリ装置において、

1セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されることを特徴とするメモリ装置。

【請求項4】 請求項1、2または3において、

論理-物理アドレス変換テーブルを参照してアクセスすることを特徴とする装置。

【請求項5】 請求項3において、

複数のストレージを切り換えるための信号を、アドレスの下位側の1または複

数のビットから生成することを特徴とするメモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、記録媒体として、機器に着脱自在のメモリカードを使用するようしたデータ処理システム、データ処理装置およびメモリ装置に関する。

【0002】

【従来の技術】

EEPROM(Electrically Erasable Programmable ROM)と呼ばれる電気的に書き換え可能な不揮発性メモリは、1ビットを2個のトランジスタで構成するために、1ビット当たりの占有面積が大きく、集積度を高くするのに限界があった。この問題を解決するために、全ビット一括消去方式により1ビットを1トランジスタで実現することが可能なフラッシュメモリが開発された。フラッシュメモリは、磁気ディスク、光ディスク等の記録媒体に代わりうるものとして期待されている。

【0003】

フラッシュメモリを有するメモリカードを機器に対して着脱自在に構成することが知られている。このメモリカードを使用すれば、従来のCD(コンパクトディスク)、MD(ミニディスク)等のディスク状媒体に代えてメモリカードを使用するデジタルオーディオ記録/再生装置を実現することができる。また、オーディオデータ以外に静止画データ、動画データをメモリカードに記録することができ、デジタルスチルカメラ、デジタルビデオカメラの記録媒体として使用することができる。

【0004】

フラッシュメモリは、セグメントと称されるデータ単位が所定数のクラスタ(固定長)へ分割され、1クラスタが所定数のセクタ(固定長)へ分割される。クラスタは、ブロックとも呼ばれ、セクタは、ページとも呼ばれる。フラッシュメモリでは、クラスタ単位で消去が一括して行われ、書き込みと読み出しが、セクタ単位で一括して行われる。

【0005】

一例として、4 MB (メガバイト) のフラッシュメモリの場合、図8に示すように、1セグメントが512個のクラスタへ分割される。セグメントは、所定数のクラスタを管理する単位である。1クラスタは、8 KB (Kバイト) の容量とされ、1セクタが512 Bの容量とされる。4 MBのセグメントを4個使用して16 MBの容量のメモリを構成することができる。16 MBのメモリ空間に対して、図9Aに示すように、論理クラスタアドレスが割り振られる。論理クラスタアドレスは、 $512 \times 4 = 2048$ 個のクラスタを区別するために2バイト長とされる。図9では、論理クラスタアドレスが16進で表記されている。0xは、16進表記を意味する。論理アドレスは、データ処理装置（ソフトウェア）が論理的に扱うアドレスである。物理アドレスは、フラッシュメモリの各クラスタに対して付されたもので、クラスタと物理アドレスの対応関係は、不变である。

【0006】

フラッシュメモリは、データの書き換えを行うことにより絶縁膜の劣化を生じ、書き換え回数が制限される。従って、ある同一の記憶領域（クラスタ）に対して繰り返し集中的にアクセスがなされることを防止する必要がある。従って、ある物理アドレスに格納されているある論理アドレスのデータを書き換える場合、フラッシュメモリのファイルシステムでは、同一のクラスタに対して更新したデータを再度書き込むことはせずに、未使用のクラスタに対して更新したデータを書き込むようになされる。その結果、データ更新前における論理アドレスと物理アドレスの対応関係が更新後では、変化する。このようなスワップ処理を行うことで、同一のクラスタに対して繰り返し集中的にアクセスがされることが防止され、フラッシュメモリの寿命を延ばすことが可能となる。

【0007】

論理クラスタアドレスは、一旦クラスタに対して書き込まれたデータに付随するので、更新前のデータと更新後のデータの書き込まれる物理クラスタアドレスが変更されても、ファイル管理システムからは、同一のアドレスが見えることになり、以降のアクセスを適正に行うことができる。スワップ処理により論理アドレスと物理アドレスとの対応関係が変化するので、両者の対応を示す論理-物理

アドレス変換テーブルが必要となる。このテーブルを参照することによって、指定した論理クラスタアドレスに対応する物理クラスタアドレスが特定され、特定された物理クラスタアドレスが示すクラスタに対するアクセスが可能となる。

【0008】

論理-物理アドレス変換テーブルは、データ処理装置によってメモリ上に格納される。若し、データ処理装置のメモリ容量が少ない時は、フラッシュメモリ中に格納することができる。図9Bは、セグメント1に関する論理-物理アドレス変換テーブルの一例を示す。図9Bに示すように、論理-物理アドレス変換テーブルは、昇順に並べた論理クラスタアドレス（2バイト）に物理クラスタアドレス（2バイト）をそれぞれ対応させたものである。また、論理-物理アドレス変換テーブルは、セグメント毎に管理され、そのサイズは、フラッシュメモリの容量に応じて大きくなる。

【0009】

また、フラッシュメモリの複数のストレージを並列動作させることによって、データの書き込み速度を通常のものより高速とすることが望ましい場合がある。例えばネットワークを介して音楽データを配信する電子音楽配信EMDが実用化されつつある。パーソナルコンピュータのハードディスクに配信された音楽データを蓄え、所望の曲のデータをパーソナルコンピュータによってメモリカードにコピーまたはムーブし、そのメモリカードを携帯型のレコーダに装着することによって、簡単に好みの音楽を自宅以外で聞くことができる。ハードディスクからメモリカードに複数の曲のデータを並列書き込み（高速）でダウンロードし、再生時には、通常の速度でメモリカードから曲データを読み出すようになされる。

【0010】

複数のストレージを並列動作させる時には、複数のストレージに対するアクセス方法について考慮する必要がある。図10は、4個のストレージに対するアドレス供給の構成を示し、図11は、 $4\text{MB} \times 4 = 16\text{MB}$ のフラッシュメモリの物理アドレスを示す。物理アドレスは、A0, A1, …, A10の11ビットで表される。A0が LSB（最下位ビット）であり、A10がMSB（最上位ビット）である。MSBおよび第2番目のMSB（A10, A9）によって、各

4MBのストレージが切り換えられる。また、各ストレージのクラスタに対して、A0～A8の9ビットのアドレスが割り振られる。

【0011】

従来では、4個のストレージを切り換えるために、図10に示すように、アドレスをフラッシュメモリに対して供給している。下位側の9ビットのアドレスA0～A8が4個のストレージ(0～3)に対して共通に与えられる。また、上位側の2ビットのアドレスA9およびA10が2to4デコーダ60に供給され、デコーダ60から各ストレージを選択するための選択信号CS0, CS1, CS2, CS3が発生する。

【0012】

(A10, A9) = 00の場合には、ストレージ0を選択する選択信号CS0がデコーダ60から発生する。また、(A10, A9) = 01、(A10, A9) = 10、(A10, A9) = 11の場合に、ストレージ1、ストレージ2、ストレージ3をそれぞれ選択する選択信号CS1、CS2、CS3がデコーダ60から発生する。このようなストレージの切り換えによって、11ビットが全て0からこれが全て1まで物理アドレスをインクリメントさせた時のアドレス変化を、図11において矢印で示す。すなわち、ストレージ0の先頭クラスタからストレージ0の最終クラスタまでアドレスが変化すると、次にストレージ1の先頭クラスタに移るよう、物理クラスタアドレスが変化する。図12は、セグメントおよび論理クラスタアドレスの配置を示す。

【0013】

【発明が解決しようとする課題】

上述した従来のフラッシュメモリのストレージの切り換えでは、アドレスのMSBから数ビットを使用してストレージ選択信号を生成している。それによって、セグメントが一つのストレージ上に集中して配置され、また、ストレージ毎にセグメントが異なるものとなる。このような方法によっては、同一セグメントの複数のクラスタを並列化して同時に書き込むことができない。例えば図12における(0x0004, 0x0005, 0x0006, 0x0007)の4クラスタは、同一のストレージ0に含まれるために同時に書き込むことができない。ま

た、複数のセグメントのクラスタ例えば図12における(0x0004、0x0204、0x0006、0x0007)の4クラスタを同時にストレージ0～ストレージ3に書き込むことはできる。

【0014】

フラッシュメモリでは、論理-物理アドレス変換テーブルがセグメント毎に構成されているので、アクセス時に論理-物理アドレス変換テーブルを参照する必要がある。従って、複数セグメントにわたって4個のクラスタを同時に書き込んだデータを読み出す時に、テーブルの参照が必要となり、そこで生じるオーバーヘッドによって読み出し時の性能が低下する。

【0015】

従って、この発明の目的は、複数のストレージに対して並列書き込みが可能で、読み出し時の性能を向上させることができデータ処理システム、データ処理装置およびメモリ装置を提供することにある。

【0016】

【課題を解決するための手段】

上述した課題を解決するために、請求項1の発明は、複数のセクタによって1クラスタが構成され、複数のクラスタによって1セグメントが構成されるストレージを複数備える不揮発性のメモリ装置がデータ処理装置に対して着脱自在とされたデータ処理システムにおいて、

データ処理装置は、

データを記録するセクタのアドレスを指定するアドレス指定手段を備え、

メモリ装置は、

アドレス指定手段により指定されたアドレスに対してデータの記録を行う記録手段を備え、

1セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されることを特徴とするデータ処理システムである。

【0017】

請求項2の発明は、複数のセクタによって1クラスタが構成され、複数のクラスタによって1セグメントが構成されるストレージを複数備える不揮発性のメモ

リ装置を記録媒体として使用するデータ処理装置において、

メモリ装置に対して、1セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されるように、データを書き込むことを特徴とするデータ処理装置である。

【0018】

請求項3の発明は、データ処理装置に対して着脱自在で、複数のセクタによって1クラスタが構成され、複数のクラスタによって1セグメントが構成されるストレージを複数備える不揮発性のメモリ装置において、

1セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されることを特徴とするメモリ装置である。

【0019】

この発明では、1セグメント内の複数のクラスタのデータを並列的に書き込むことが可能となる。また、書き込まれたデータを読み出す時に、同一セグメント内であれば、論理-物理アドレス変換テーブルの切り換えが発生しないので、読み出し時の性能を向上できる。

【0020】

【発明の実施の形態】

以下、この発明の一実施形態について説明する。図1は、この発明を適用できるシステムの構成を示す。このシステムでは、ホスト側のデータ処理装置とメモリカードとがシリアルインターフェースを介して接続される。図1において、1がCPUであり、CPU1のバスに対してメモリ2、ディスプレイ3および入力／出力部4が接続される。

【0021】

シリアルインターフェース5がCPUバスと破線で囲んだメモリカード6との間に配される。メモリ2は、プログラム格納用のROM、ワークエリアとして使用されるRAMを含む。データ処理装置は、具体的には、パソコンコンピュータ、デジタルスチルカメラ、デジタルビデオカメラ、デジタルオーディオレコーダ等である。メモリカード6は、フラッシュメモリ7を有する。フラッシュメモリ7は、例えばNAND型フラッシュメモリ（不揮発性メモリ）である。

メモリカード6には、記憶されるコンテンツの著作権保護のために、暗号化回路が組み込まれる場合もある。

【0022】

なお、この発明は、データ処理装置とメモリカード6との間のデータの授受をシリアルインターフェースではなく、パラレルインターフェースにより行う場合に対しても適用できる。

【0023】

フラッシュメモリ7は、例えば $4\text{ MB} \times 4 = 16\text{ MB}$ のものである。図8を参照して上述したように、4MB（メガバイト）のフラッシュメモリの場合、1セグメントが512個のクラスタへ分割され、1クラスタが8KB（Kバイト）バイトの容量とされ、1セクタが512Bの容量とされる。そして、図9Aを参照して説明したように、16MBのメモリ空間に対して、論理クラスタアドレスが割り振られ、図9Bを参照して説明したように、論理クラスタアドレスと物理クラスタアドレスとの対応関係を示す論理-物理アドレス変換テーブルがセグメント単位で作成される。さらに、上述したように、 $4\text{ MB} \times 4 = 16\text{ MB}$ のフラッシュメモリには、A0, A1, …, A10の11ビットの物理クラスタアドレスが使用される。

【0024】

フラッシュメモリ7は、図2に示すように、並列書き込みが可能なものとされている。図2は、簡単のためにデータ入力/出力に関連する部分のみを示している。ストレージ0～ストレージ3にそれぞれ対応する4個のメモリセルMC0～MC3が備えられ、各メモリセルMC0～MC3に対するデータは、データバスおよびページバッファBF0～BF3をそれぞれ介して供給される。すなわち、データバスを介してページバッファBF0～BF3にそれぞれ1ページの書き込みデータが蓄えられると、ページバッファBF0～BF3から同時にメモリセルMC0～MC3に対してデータが転送される。図2の例は、一つのICパッケージが4個のストレージを備える例であるが、別々のパッケージのフラッシュメモリを4個使用してもよい。さらに、複数のストレージをパッケージ内に有するフラッシュメモリを複数個組み合わせても良い。

【0025】

図3は、この発明を適用できるメモリカード6のより具体的な構成を示す。メモリカード6は、コントロールブロック11とフラッシュメモリ7とが1チップICとして構成されたものである。データ処理装置のCPU1とメモリカード6との間の双方向シリアルインターフェース5は、10本の線からなる。主要な4本の線は、データ伝送時にクロックを伝送するためのクロック線SCKと、ステータスを伝送するためのステータス線SBSと、データを伝送するデータ線DIO、インターラプト線INTとである。その他に電源供給用線として、2本のGND線および2本のVCC線が設けられる。2本の線Reservedは、未定義の線である。

【0026】

クロック線SCKは、データに同期したクロックを伝送するための線である。ステータス線SBSは、メモリカード6のステータスを表す信号を伝送するための線である。データ線DIOは、コマンドおよび暗号化されたオーディオデータを入出力するための線である。インターラプト線INTは、メモリカード6からデータ処理装置のCPU1に対しての割り込みを要求するインターラプト信号を伝送する線である。メモリカード6を装着した時にインターラプト信号が発生する。但し、この一実施形態では、かかるインターラプト信号をデータ線DIOを介して伝送するようにしているので、インターラプト線INTを接地し、使用していない。

【0027】

コントロールブロック11のシリアル/パラレル変換・パラレル/シリアル変換・インターフェースクラスタ(S/P, P/S, IFクラスタと略す)12は、上述したインターフェース5と接続される。S/P, P/S, IFブロック12は、データ処理装置から受け取ったシリアルデータをパラレルデータに変換し、コントロールブロック11に取り込み、コントロールブロック11からのパラレルデータをシリアルデータに変換してデータ処理装置に送る。

【0028】

データ線DIOを介して伝送されるフォーマットでは、最初にコマンドが伝送

され、その後にデータが伝送される。S/P, P/S, I/Fブロック12は、コマンドをコマンドレジスタ13に格納し、データをページバッファ14およびライトレジスタ15に格納する。ライトレジスタ15と関連してエラー訂正符号化回路16が設けられている。ページバッファ14に一時的に蓄えられたデータに対して、エラー訂正符号化回路16がエラー訂正符号の冗長コードを生成する。

【0029】

コマンドレジスタ13、ページバッファ14、ライトレジスタ15およびエラー訂正符号化回路15の出力データがフラッシュメモリインタフェースおよびシーケンサ（メモリI/F, シーケンサと略す）17に供給される。メモリI/F, シーケンサ17は、コントロールブロック11とフラッシュメモリ7とのインターフェースであり、両者の間のデータのやり取りを制御する。メモリI/F, シーケンサ17を介してデータがフラッシュメモリ7に書き込まれる。

【0030】

フラッシュメモリ7から読み出されたデータがメモリI/F, シーケンサ17を介してページバッファ14、リードレジスタ18、エラー訂正回路19に供給される。ページバッファ14に記憶されたデータがエラー訂正回路19によってエラー訂正がなされる。エラー訂正がされたページバッファ14の出力およびリードレジスタ18の出力がS/P, P/S, I/Fブロック12に供給され、シリアルインタフェース5を介してデータ処理装置のCPU1に供給される。

【0031】

なお、20は、メモリカード6のバージョン情報、各種の属性情報等が格納されているコンフィグレーションROMである。また、メモリカード6には、ユーザが必要に応じて操作可能な誤消去防止用のスイッチ21が備えられている。このスイッチ21が消去禁止の接続状態にある場合には、フラッシュメモリ7を消去することを指示するコマンドがデータ処理装置側から送られてきても、フラッシュメモリ7の消去が禁止される。さらに、22は、メモリカード6の処理のタイミング基準となるクロックを発生する発振器である。

【0032】

この発明の一実施形態におけるデータ処理装置とメモリカード6との間のシリ

アンインターフェースについてより詳細に説明する。メモリカード6からデータを読み出す時には、データ処理装置からメモリカード6に対して読み出しコマンドが送信され、メモリカード6が読み出しコマンドを受信する。コマンドの送信が完了すると、メモリカード6が受信した読み出しコマンドで指定されたアドレスのデータをフラッシュメモリ7から読み出す処理を行う。この処理がなされている間、データ線DIOを介してビジー信号（ハイレベル）がデータ処理装置に送信される。そして、フラッシュメモリ7からデータの読み出しが完了すると、ビジー信号の出力が停止され、データ処理装置に対してメモリカード6からデータを送出する準備ができたことを示すレディー信号（ローレベル）の出力が開始される。

【0033】

データ処理装置は、メモリカード6からレディー信号を受信することによって、読み出しコマンドに対応する処理が準備できたことを知り、メモリカード6は、ページバッファに読み出したデータをデータ線DIOを介してデータ処理装置に対して出力する。これらの各処理がなされる状態がステータス線SBSのレベル変化で示される。

【0034】

メモリカード6のフラッシュメモリ7に対してデータを書き込む時には、データ処理装置からメモリカード6に対してデータ線DIOを介して書き込みコマンドが伝送される。書き込みコマンドと関連して書き込みアドレスが伝送される。フラッシュメモリ7では、セクタ単位でデータの書き込み、読み出しがなされるが、データ処理装置では、クラスタ単位でファイルを管理しており、データ処理装置からのアドレスは、クラスタ単位である。次に、データ処理装置が書き込みデータをデータ線DIOを介してメモリカード6に伝送する。メモリカード6では、受け取った書き込みデータがページバッファに蓄えられる。書き込みデータの伝送が終了すると、メモリカード6は、書き込みデータをフラッシュメモリ7へ書き込む処理を行う。書き込み処理の間にビジー信号が出力され、メモリカード6において、書き込みデータの書き込み処理が終了すると、ビジー信号の出力を停止し、レディー信号（ローレベル）をデータ処理装置に対して送信する。

【0035】

並列的な書き込みをシリアルインターフェースを介して行う場合には、ストレージ0に書き込むためのコマンド、アドレス、データを伝送した後にビジー信号が立っている状態において、ストレージ1に書き込むためのコマンド、アドレス、データと、ストレージ2に書き込むためのコマンド、アドレス、データと、ストレージ3に書き込むためのコマンド、アドレス、データとを順次伝送する。そして、再びストレージ0に書き込むためのコマンド、アドレス、データを伝送する。この時点では、以前のストレージ0に対するデータの書き込み処理が終了しており、ビジー信号が立ち下がっている。このような動作を繰り返すことによって並列的書き込みを行うことができる。但し、4個のシリアルインターフェースを並列に使用するような方法でもって、同時にコマンド、アドレス、データを伝送することも可能である。

【0036】

上述したこの発明の一実施形態についてさらに詳細に説明する。図4は、メモリカード6を記憶媒体とする図1のシステムにおいて、ファイル管理の方法を説明するための図である。図4において、30は、データファイル例えば圧縮されたオーディオデータファイルのデータを示す。圧縮オーディオデータは、通常、曲ごとにファイルが作成され、そのファイルがセクタ単位でメモリカード6のフラッシュメモリ7に対して記録され、フラッシュメモリ7から読み出される。

【0037】

このようなデータ30を並列的にフラッシュメモリ7に記録する場合に、図4に示すように、書き込み処理後に、各クラスタ内でセクタが連続で並ぶように、複数のクラスタから書き込みセクタを選択し、選択したセクタに対して同時にデータを書き込む。データ30のサイズが4個のクラスタに一致しているものとすると、データ30がフラッシュメモリ7の4個のクラスタに記録される。

【0038】

図4に示すように、書き込み後に各ストレージの各クラスタ内で、セクタが元の順序で並ぶようになされる。例えば0, 1, 2, 3, ...と元の順序に従って番号付けされたセクタをストレージ0～ストレージ3に対して並列的に書き込

む場合に、番号0のデータをストレージ0のクラスタの先頭セクタに記録し、番号16のデータをストレージ1のクラスタの先頭セクタに記録し、番号32のデータをストレージ2のクラスタの先頭セクタに記録し、番号48のデータをストレージ3のクラスタの先頭セクタに記録する。このように、セクタ毎にデータを番号付けした時に、クラスタのセクタ数に等しい数のオフセットを有する番号の4個のデータ単位を並列化し、4個のストレージに対して同時に書き込む。その結果、フラッシュメモリ7の各ストレージでは、既存のフラッシュメモリと同様に同一ストレージ内で構成されるクラスタ内に、データが元の順序で配列される。従って、既存のフラッシュメモリのファイルフォーマットとの互換性が保たれる。

【0039】

このように記録されたフラッシュメモリからデータが1クラスタ毎に順番に読み出される。例えば図4のストレージ0のクラスタの先頭セクタから順にデータを読み出し、次に、ストレージ1のクラスタの先頭セクタから順にデータを読み出し、以下、ストレージ2のクラスタ、ストレージ3のクラスタというように順にデータを読み出すようになされる。読み出されたデータの順序は、元の順序と同一である。消去動作は、各ストレージ毎に構成されるクラスタ単位でなされる。

【0040】

このように、一実施形態における並列書き込み後のデータ配置は、既存のフラッシュメモリと同様に、同一ストレージ内にクラスタが構成されるものとなる。従って、既存のフラッシュメモリとファイルフォーマット上で互換性を保つことができる。

【0041】

上述したような並列書き込みを行い、また、書き込まれたデータを読みだす時のストレージ切り換えの方法の一例について説明する。図5は、一実施形態における4個のストレージに対するアドレス供給の構成を示し、図6は、4MB×4=16MBのフラッシュメモリの物理アドレスを示す。物理アドレスは、A0, A1, . . . , A10の11ビットで表される。A0がLSB(最下位ビット)

であり、A10がMSB（最上位ビット）である。

【0042】

この発明の一実施形態では、生成した11ビットのアドレスA0～A10をフラッシュメモリに与える時に、アドレスA0～A10を2ビット下位側にシフトしたA2～A10を物理クラスタアドレスを規定するアドレスとしてフラッシュメモリに供給し、また、下位のA0、A1の2ビットをストレージ切り換えを規定するアドレスとしてフラッシュメモリに供給する。すなわち、図5に示すように、上位側の9ビットのアドレスA2～A10が4個のストレージ（0～3）に対して共通に与えられる。また、下位側の2ビットのアドレスA0およびA1が2to4デコーダ40に供給され、デコーダ40から各ストレージを選択するための選択信号CS0, CS1, CS2, CS3が発生する。 $(A1, A0) = 00$ の場合には、ストレージ0を選択する選択信号CS0がデコーダ60から発生する。また、 $(A1, A0) = 01$ 、 $(A1, A0) = 10$ 、 $(A1, A0) = 11$ の場合に、ストレージ1、ストレージ2、ストレージ3をそれぞれ選択する選択信号CS1、CS2、CS3がデコーダ40から発生する。

【0043】

このようなストレージの切り換えを行う場合、11ビットが全て0からこれが全て1まで物理アドレスをインクリメントさせた時のアドレス変化を、図6において矢印で示す。すなわち、ストレージ0の先頭クラスタからアドレス変化が開始し、次にストレージ1の先頭クラスタが指定される。そして、ストレージ2の先頭クラスタを経て、ストレージ3の先頭クラスタまでアドレスが変化すると、次にストレージ0の第2番目のクラスタに移るように、物理クラスタアドレスが変化する。

【0044】

この発明の一実施形態におけるセグメントと論理クラスタアドレスの配置を図7に示す。図7の論理クラスタアドレスの配置から分かるように、1セグメントに含まれる512クラスタは、4個のストレージにそれぞれ含まれる128個のクラスタによって構成される。このセグメント毎に論理-物理アドレス変換テーブルが生成される。従って、セグメントが変更されなければ、参照または更新す

る論理-物理アドレス変換テーブルが変わらず、テーブルをアクセスしたり、テーブルを更新することによる読み出し性能の低下を防止することができる。また、連続した論理クラスタアドレス例えば $0 \times 0004 \sim 0 \times 0007$ に対して同時にデータを書き込むことが可能となる。

【0045】

なお、以上説明した一実施形態では、1セクタが512B、1クラスタが8KB、1ストレージが512クラスタとされる4MBのフラッシュメモリについて説明したが、これらの値は、一例であって他の数値のフラッシュメモリに対しても、この発明を適用できる。例えば1クラスタの容量を16KBとしても良い。また、1個のストレージの容量が8MB (1024クラスタ×8KB)、16MB (1024クラスタ×16KB)、32MB (2048クラスタ×16KB)、64MB (4096クラスタ×16KB) 等のフラッシュメモリに対してもこの発明を適用することができる。

【0046】

【発明の効果】

この発明によれば、複数クラスタにわたるデータの書き込み時には、同時にデータを書き込むことができ、それによって高速の書き込みが可能となる。また、このように書き込まれたデータを読み出す時に、同一セグメントであれば、論理-物理アドレス変換テーブルの切り換えが発生しないので、読み出しの性能を向上できる。

【図面の簡単な説明】

【図1】

この発明の一実施形態の全体的構成を示すブロック図である。

【図2】

この発明の一実施形態におけるメモリカードの構成を概略的に示すブロック図である。

【図3】

この発明の一実施形態におけるメモリカードのより詳細な構成を示すブロック図である。

【図4】

この発明の一実施形態における並列書き込み動作を説明するための略線図である。

【図5】

この発明の一実施形態におけるストレージの切り換えを説明するためのブロック図である。

【図6】

この発明の一実施形態におけるストレージの切り換えを説明するための略線図である。

【図7】

この発明の一実施形態におけるセグメントと論理クラスタアドレスの関係を示す略線図である。

【図8】

この発明を適用できるフラッシュメモリの一例の構成を示す略線図である。

【図9】

この発明を適用できるフラッシュメモリの論理-物理アドレス変換テーブルの一例を示す略線図である。

【図10】

従来のストレージの切り換えを説明するためのブロック図である。

【図11】

従来のストレージの切り換えを説明するための略線図である。

【図12】

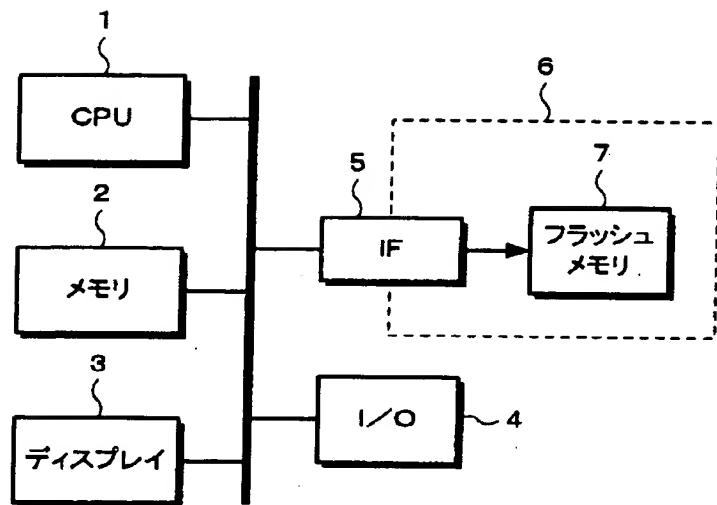
従来のセグメントと論理クラスタアドレスの関係を示す略線図である。

【符号の説明】

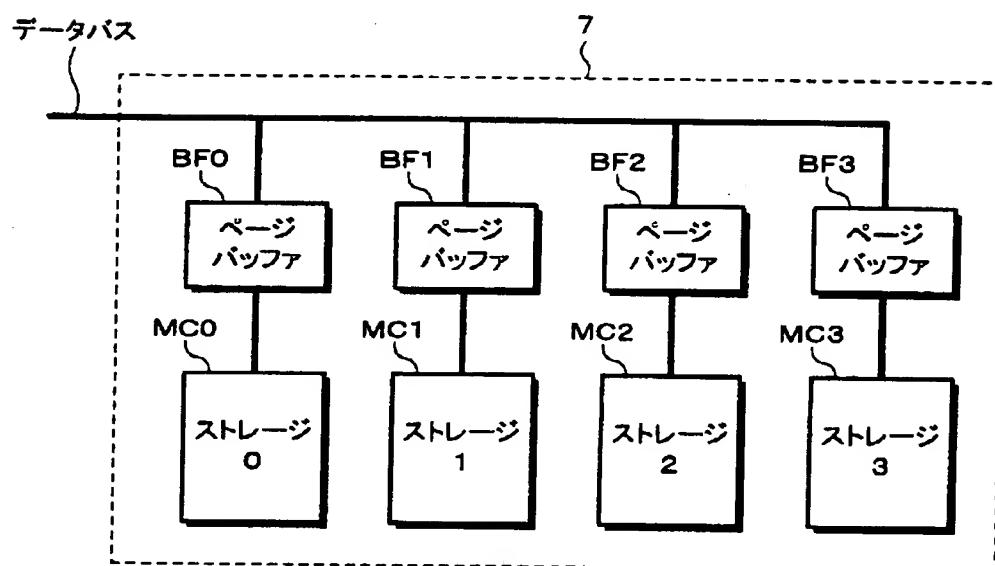
1 . . . C P U、 5 . . . インターフェース、 6 . . . メモリカード、 7 . . .
フラッシュメモリ

【書類名】 図面

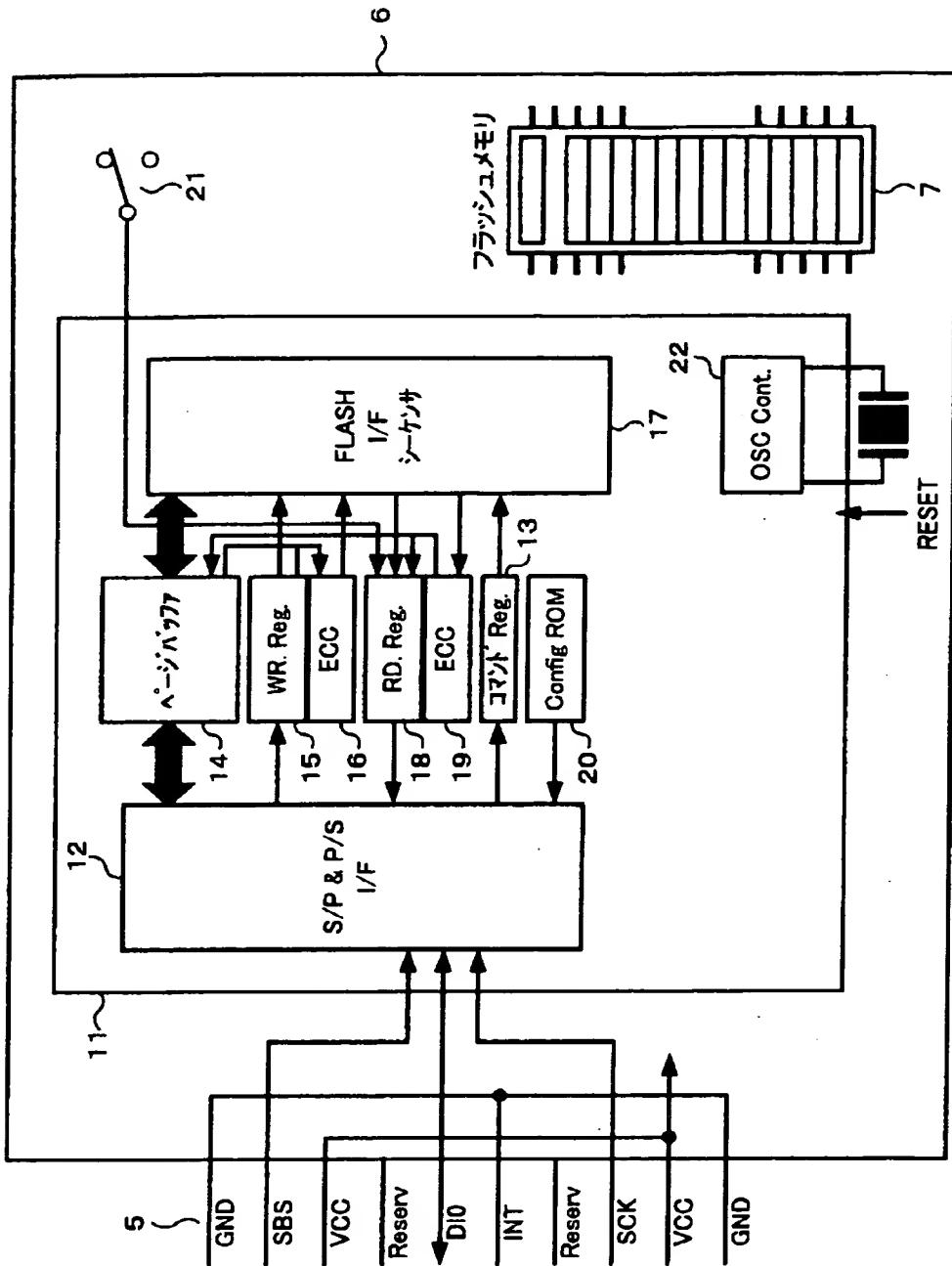
【図1】



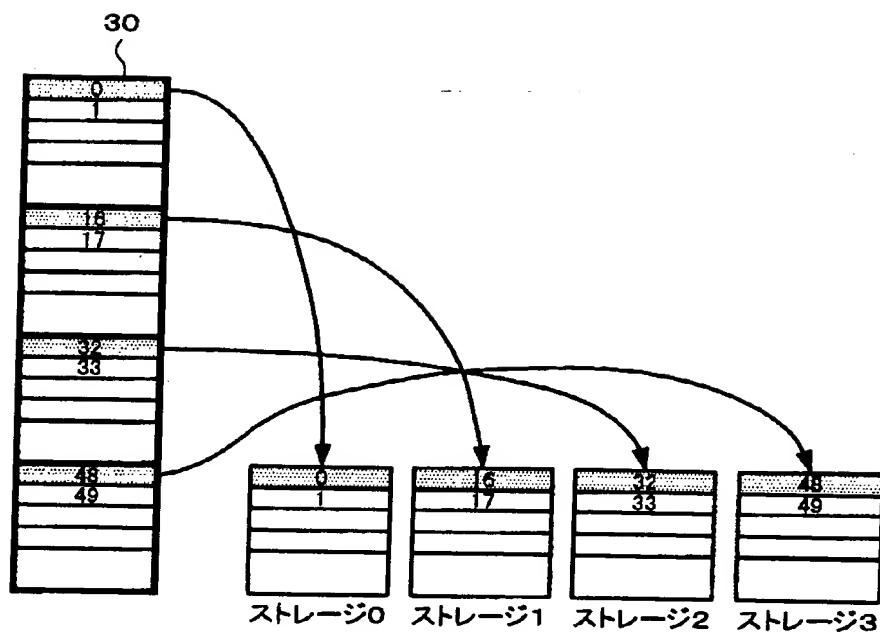
【図2】



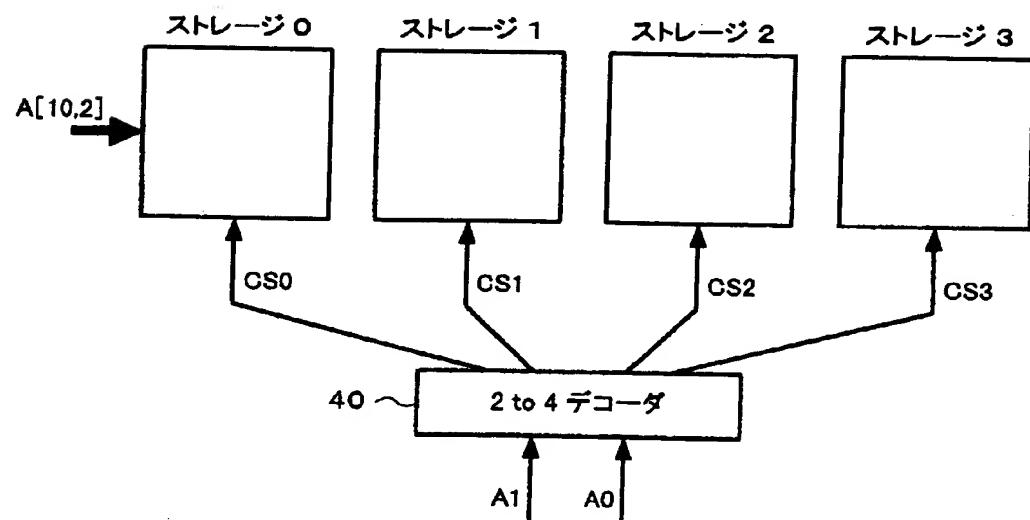
【図3】



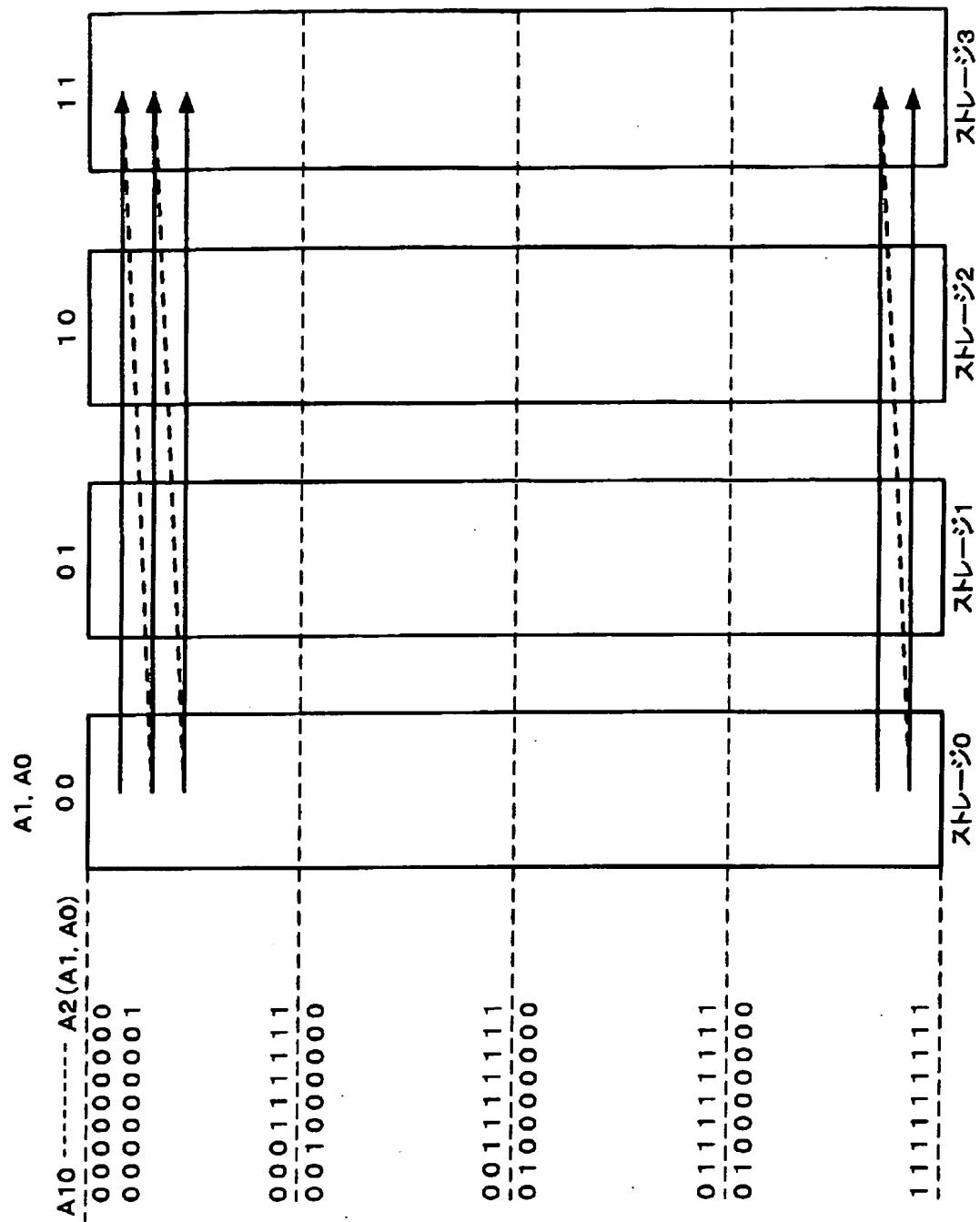
【図4】



【図5】



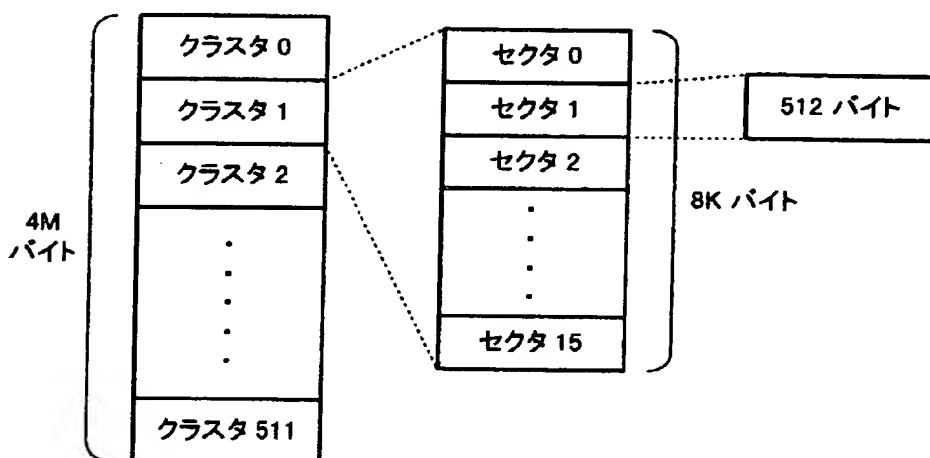
【図6】



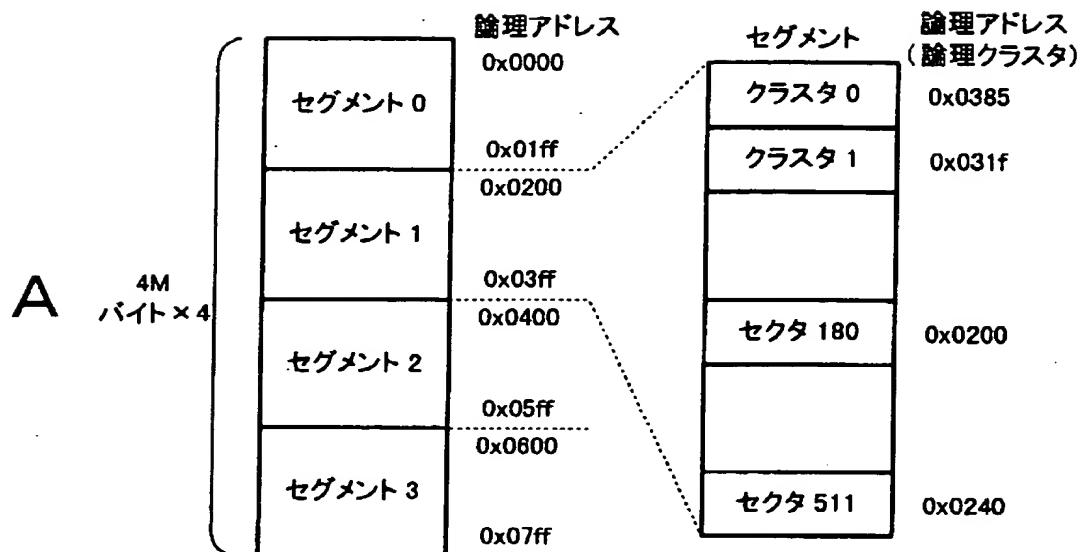
【図7】

	ストレージ0	ストレージ1	ストレージ2	ストレージ3
セグメント0	0x0000	0x0001	0x0002	0x0003
	0x0004	0x0005	0x0006	0x0007
	:	:	:	:
	0x01fc	0x01fd	0x01fe	0x01ff
セグメント1	0x0200	0x0201	0x0202	0x0203
	:	:	:	:
	0x03fc	0x03fd	0x03fe	0x03ff
セグメント2	0x0400	0x0401	0x0402	0x0403
	:	:	:	:
	0x04fc	0x04fd	0x04fe	0x04ff
セグメント3	0x0600	0x0601	0x0602	0x0603
	:	:	:	:
	0x07fc	0x07fd	0x07fe	0x07ff

【図8】



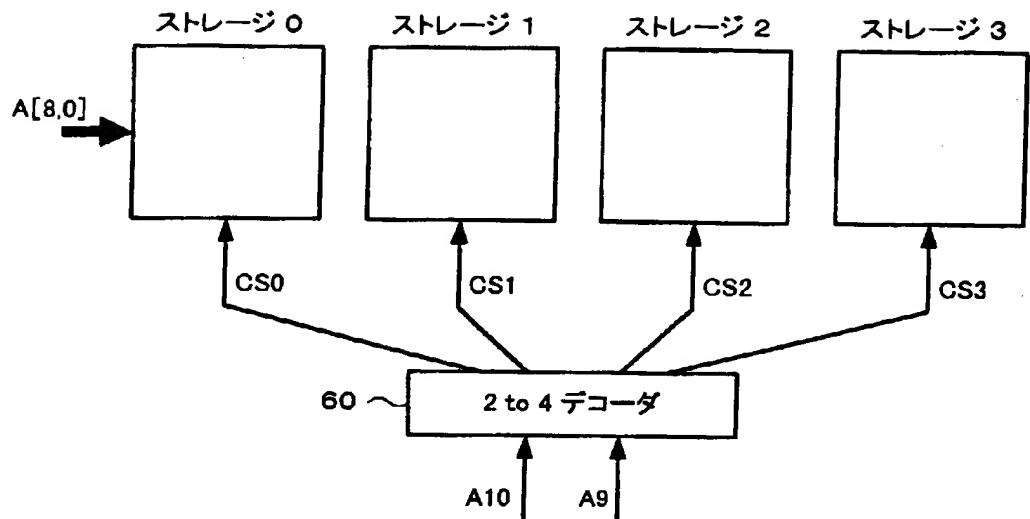
【図9】



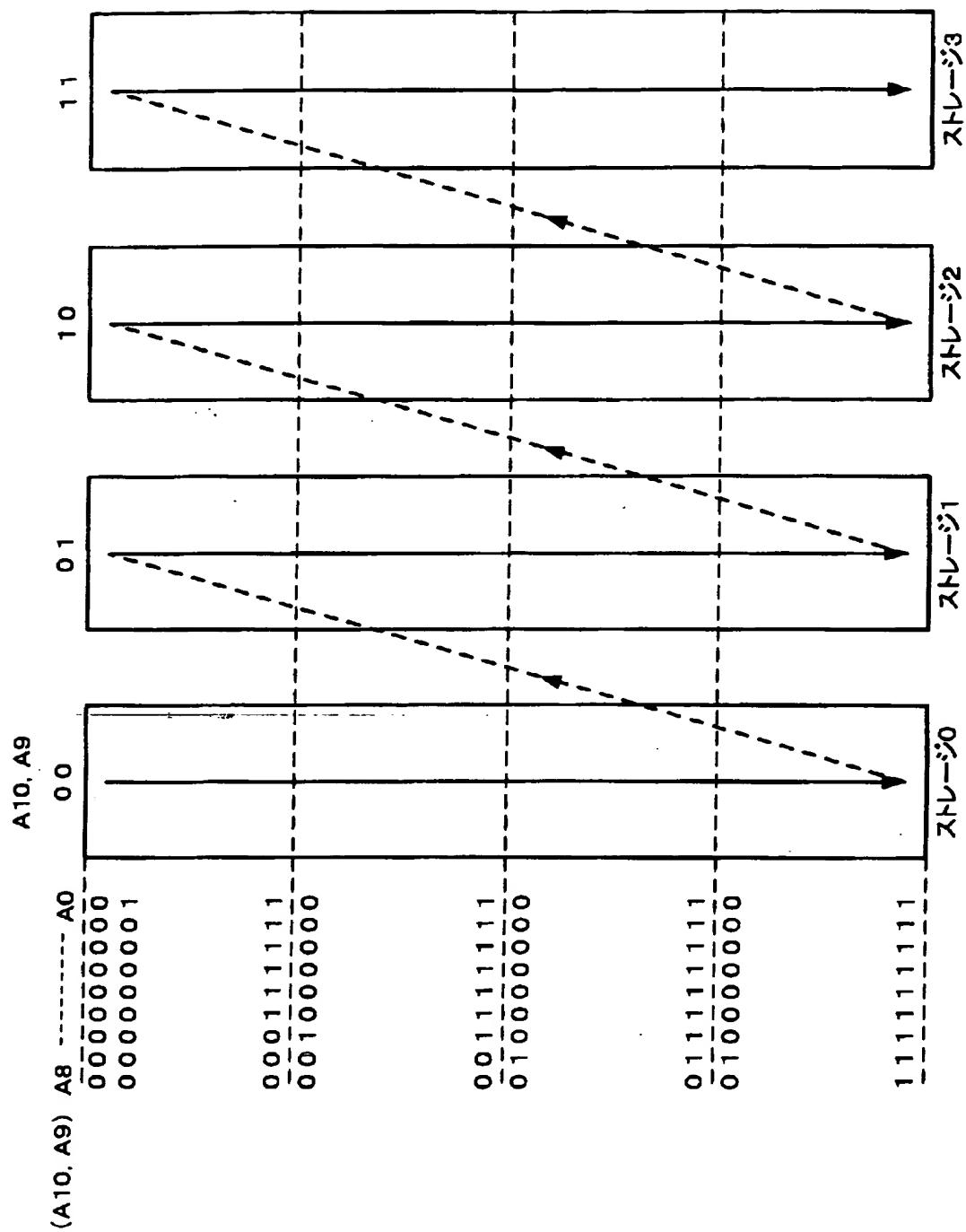
B

論理アドレス	物理アドレス
0x0200	180
0x0240	511
0x31f	1
0x211	236

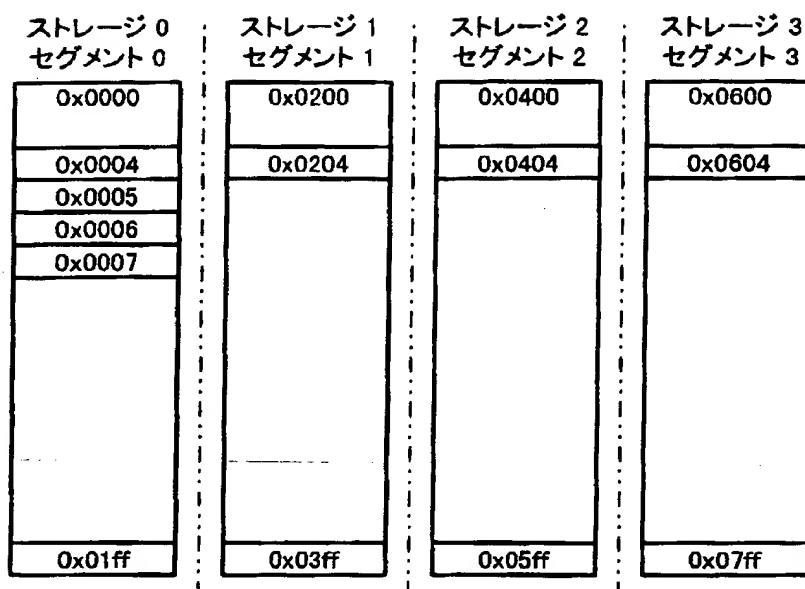
【図10】



【図 11】



【図12】



【書類名】 要約書

【要約】

【課題】 複数のストレージを切り換えて高速の書き込み可能とし、また、書き込まれたデータの読み出し時の性能を向上する。

【解決手段】 1セグメントに含まれる512クラスタは、4個のストレージにそれぞれ含まれる128個のクラスタに分散される。このセグメント毎に論理-物理アドレス変換テーブルが生成される。従って、セグメントが変更されなければ、参照または更新する論理-物理アドレス変換テーブルが変わらず、テーブルをアクセスしたり、テーブルを更新することによる読み出し性能の低下を防止することができる。また、連続した論理クラスタアドレス例えば0x0004～0x0007に対して同時にデータを書き込むことが可能となり、高速の書き込み可能となる。

【選択図】 図7

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社